

## ⑫ 公開特許公報(A) 平4-91475

⑤ Int.Cl.<sup>5</sup>

識別記号

庁内整理番号

⑬ 公開 平成4年(1992)3月24日

H 01 L 29/28

6412-4M

審査請求 未請求 請求項の数 5 (全5頁)

⑭ 発明の名称 半導体チップおよびそれを用いた半導体集積回路装置

⑯ 特 願 平2-204819

⑰ 出 願 平2(1990)8月1日

⑱ 発 明 者 社 壯 介 東京都小平市上水本町5丁目20番1号 日立超エル・エ  
 ス・アイ・エンジニアリング株式会社内  
 ⑲ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地  
 ⑲ 出 願 人 日立超エル・エス・ア 東京都小平市上水本町5丁目20番1号  
 イ・エンジニアリング  
 株式会社  
 ⑳ 代 理 人 弁理士 筒井 大和

## 明 細 書

## 1. 発明の名称

半導体チップおよびそれを用いた半導体集積回路装置

## 2. 特許請求の範囲

1. 基板上または基板内に能動素子または受動素子の回路素子が形成される半導体チップであって、前記基板が柔軟性を持った有機半導体材料により形成されることを特徴とする半導体チップ。
2. 前記回路素子が少なくとも2つ以上集積され、該回路素子が相互に配線される集積回路用の半導体チップとされることを特徴とする請求項1記載の半導体チップ。
3. 前記基板がフィルム状またはシート状に形成されることを特徴とする請求項1記載の半導体チップ。
4. 前記半導体チップの電極が柔軟性を持った有機導電材料により形成されることを特徴とする請求項1記載の半導体チップ。

5. 請求項1、2、3または4記載の半導体チップが、柔軟性を持った材料により組立・封止されることを特徴とする半導体集積回路装置。

## 3. 発明の詳細な説明

## 〔産業上の利用分野〕

本発明は、半導体集積回路装置の製造技術に関し、特に半導体チップおよび半導体集積回路装置の柔軟性の向上が可能とされる半導体チップおよびそれを用いた半導体集積回路装置に適用して有効な技術に関する。

## 〔従来の技術〕

従来、半導体集積回路装置の半導体チップとしては、たとえば株式会社工業調査会、1985年1月10日発行、「電子工業用プラスチック」P11～P18などの文献に記載されるように、Si、Geなどの単結晶半導体、GaAs、InSbなどの化合物半導体などの基板上に回路素子が形成されている。

## 〔発明が解決しようとする課題〕

ところが、前記のような従来技術においては、

半導体材料として単結晶半導体または化合物半導体などが用いられ、半導体チップの柔軟性の点について配慮がされておらず、取り扱いおよび実装面において種々の問題がある。

たとえば、小さな衝撃によっても破損し易く、またパッケージングが複雑であると同時に、曲面または応力の作用する箇所への実装については適用できないという欠点がある。

また、上記の半導体チップが組立・封止された半導体集積回路装置についても、実装上における場所などが限定され、柔軟性を持った実装ができないという欠点がある。

そこで、本発明者は、回路素子が形成される基板の材料において、従来のような単結晶半導体などの基板材料に代わって、たとえば柔軟性を持った有機材料に着目し、この有機材料に比べて良い電気伝導体である有機半導体を半導体チップの基板に用いることを見出した。

すなわち、本発明の目的は、半導体チップに柔軟性をもたせ、取り扱いおよび実装面における制

約を緩和することができる半導体チップおよびそれを用いた半導体集積回路装置を提供することにある。

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

#### [課題を解決するための手段]

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、下記のとおりである。

すなわち、本発明の半導体チップは、基板上または基板内に能動素子または受動素子の回路素子が形成される半導体チップであって、基板を柔軟性を持った有機半導体材料により形成するものである。この場合に、回路素子を少なくとも2つ以上集積し、これらの回路素子を相互に配線する集積回路用の半導体チップとするものである。

また、基板をフィルム状またはシート状に形成するようにしたものである。

さらに、半導体チップの電極を柔軟性を持った

- 3 -

有機導電材料により形成するものである。

また、本発明の半導体チップを用いた半導体集積回路装置は、柔軟性を持った半導体チップを柔軟性を持った材料により組立・封止するものである。

#### [作用]

前記した半導体チップによれば、能動素子または受動素子の回路素子が形成される基板が、柔軟性を持った有機半導体材料によって形成されることにより、有機半導体材料の持つ柔軟性によって半導体チップに柔軟性を持たせることができる。これにより、応力などの作用によって自由に変形される上に、初期形状へ容易に復帰させることができる。

また、基板がフィルム状またはシート状に形成されることにより、より一層柔軟性を持たせることができる。これにより、フィルム状またはシート状の製品への組み込みが可能となる。

さらに、半導体チップの電極が柔軟性を持った有機導電材料によって形成されることにより、有

- 4 -

機導電材料の柔軟性によって電極に柔軟性を持たせることができる。これにより、半導体チップの検査において、電極への均等圧着、接触面積の調整、および電極への突き刺しなどが可能となり、接触不良などによる検査不良を抑制することができる。

また、前記した半導体集積回路装置によれば、柔軟性を持った半導体チップが柔軟性を持った材料によって組立・封止されることにより、組立・封止材料の柔軟性によって半導体集積回路装置に柔軟性を持たせることができる。これにより、製品状態においても自由な形状に変形することができる。

#### [実施例]

第1図は本発明の一実施例である半導体チップを示す断面図、第2図は本実施例の半導体チップの平面図、第3図は本実施例の半導体チップを組立・封止した半導体集積回路装置を示す断面図、第4図(a)、(b)および(c)は本実施例の半導体チップの検査方法を示す説明図である。

- 5 -

-476-

- 6 -

まず、第1図および第2図により本実施例の半導体チップの成を説明する。

本実施例の半導体チップ1は、たとえば有機半導体に形成された集積回路2と、この集積回路2が実装される基板3とから構成されている。

集積回路2は、たとえば能動素子または受動素子の回路素子が少なくとも2つ以上集積され、これらの回路素子が相互に配線された回路に形成されている。そして、有機半導体材料に形成されることによって柔軟性を備え、応力などの作用によって変形可能な構造となっている。

基板3は、たとえば柔軟性を持った樹脂などの有機材料によって形成され、変形された集積回路2に就いて変形可能な構造となっている。

そして、本実施例の半導体チップ1の電極接続の一例として、たとえば第3図に示すようにポンプ電極(電極)4を介して配線基板5にボンディングされ、固化状態において柔軟性を持った水ガラスまたはセメントミルクなどの封止材6による簡単なパッケージの半導体集積回路装置7に形成さ

れる。

また、このポンプ電極4は、たとえば柔軟性を持った有機導電材料によって形成され、変形および初期形状への復帰が容易に可能な構造となっている。

次に、本実施例の作用について説明する。

以上のように構成される半導体チップ1においては、集積回路2が有機半導体材料に形成され、かつ集積回路2を実装する基板3が有機材料によって形成されることにより、有機半導体材料および有機材料の持つ柔軟性によって半導体チップ1に柔軟性を持たせることができるので、応力の作用などによって自由に変形される上に、初期形状へ容易に復帰させることができる。

これにより、半導体チップ1の取り扱いおよび実装面における制約が緩和され、曲面または応力の作用する箇所への実装が可能である。すなわち、従来のような小さな衝撃による破損の心配がなく、パッケージングを容易に行うことができる。

また、半導体チップ1がパッケージングされた

- 7 -

半導体集積回路装置7においても、柔軟性を持った材料によってパッケージングされることにより、製品状態においても自由な形状に変形することができる。

さらに、半導体チップ1の検査に関しては、ポンプ電極4が有機導電材料によって形成されることにより、有機導電材料の柔軟性によってポンプ電極4に柔軟性を持たせることができるので、簡略化された信頼性の高い検査が可能となる。

たとえば、第4図(a)のように試験用基板8への圧着による検査においては、ポンプ電極4の柔軟性によって全てのポンプ電極4の均等圧着が可能となり、また接触面積の調整ができるので接触不良などによる検査不良を抑制することができる。

また、第4図(b)のように、ポンプ電極4に検査装置の試験用端子9を突き刺すことができるので、この場合にも検査の信頼性を向上させることができる。

さらに、ポンプ電極4のみならず、集積回路2が実装された基板3においても、第4図(c)のよう

- 8 -

に試験用端子9を突き刺して集積回路2の所定の箇所に接触させることによって検査が可能である。

従って、本実施例の半導体チップ1およびそれを用いた半導体集積回路装置7によれば、半導体チップ1の柔軟性の向上のみならず、パッケージングされた半導体集積回路装置7においても柔軟性を持った製品に形成することができる。

以上、本発明者によってなされた発明を実施例に基づき具体的に説明したが、本発明は前記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

たとえば、本実施例の半導体チップ1については、有機半導体に形成された集積回路2を基板3上に形成する場合について説明したが、本発明は前記実施例に限定されるものではなく、たとえば基板3自体を有機半導体材料とし、この基板3の内部に集積回路2を形成していく場合についても適用可能である。

また、半導体チップ1の接続については、ポン

ブ電極 4 によるボンディング接続に限られず、たとえば半導体チップ 1 に電極パッド（電極）を形成し、この電極パッドから金属線を介してワイヤボンディングする場合についても適用可能である。この場合にも、電極パッドは有機導電材料によって形成され、実装面のみならず、検査上においても簡単に信頼性の高い検査が可能である。

さらに、半導体チップ 1 の接続においては、たとえば接続用の信号および電源端子を突き刺すことによって形成可能とし、ユーザー側においてフレキシブルに端子位置を決定することも可能である。

また、基板 3 をフィルム状またはシート状に形成し、半導体チップ 1 に一層の柔軟性を持たせることが可能とされ、この場合には柔軟性を備えたフィルム状またはシート状のカードなどに組み込むことも可能である。

#### [発明の効果]

本願において開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、

- 1 1 -

抑制することができる。

(4). 柔軟性を持った半導体チップが柔軟性を持った材料によって組立・封止されることにより、組立・封止材料の柔軟性によって半導体集積回路装置に柔軟性を持たせることができるので、製品状態においても自由な形状に変形可能な構造とすることができる。

(5). 前記 (1)、(2) および (3) により、半導体チップの取り扱いおよび実装面における制約が緩和され、曲面または応力の作用する箇所への実装が可能であると同時に、従来のような小さな衝撃による破壊の心配がなく、パッケージングの容易性と低コスト化が可能とされる半導体チップを得ることができる。

(6). 前記 (3) により、半導体チップの検査が簡略化されると同時に、検査不良の低減により信頼性の高い検査が可能とされる半導体チップを得ることができる。

(7). 前記 (4) により、半導体集積回路装置の実装上の制約が緩和され、製品状態において広範囲な実

下記のとおりである。

(1). 基板上または基板内に能動素子または受動素子の回路素子が形成される半導体チップであって、基板が柔軟性を持った有機半導体材料によって形成されることにより、有機半導体材料の持つ柔軟性によって半導体チップに柔軟性を持たせることができるので、応力などの作用によって自由に変形される上に、初期形状への復帰を容易に可能とすることができる。

(2). 基板がフィルム状またはシート状に形成されることにより、より一層柔軟性を持たせることができるので、フィルム状またはシート状の製品への組み込みが容易に可能となる。

(3). 半導体チップの電極が柔軟性を持った有機導電材料によって形成されることにより、有機導電材料の柔軟性によって電極に柔軟性を持たせることができるので、半導体チップの検査において、電極の試験用基板への均等圧着、電極の接触面積の調整、または試験用端子の電極への突き刺しなどが可能となり、接触不良などによる検査不良を

- 1 2 -

装が可能とされる半導体集積回路装置を得ることができる。

#### 4. 図面の簡単な説明

第 1 図は本発明の一実施例である半導体チップを示す断面図、

第 2 図は本実施例の半導体チップの平面図、

第 3 図は本実施例の半導体チップを組立・封止した半導体集積回路装置を示す断面図、

第 4 図 (a)、(b) および (c) は本実施例の半導体チップの検査方法を示す説明図である。

1・・・半導体チップ、2・・・集積回路、3・・・基板、4・・・パンプ電極（電極）、5・・・配線基板、6・・・封止材、7・・・半導体集積回路装置、8・・・試験用基板、9・・・試験用端子。

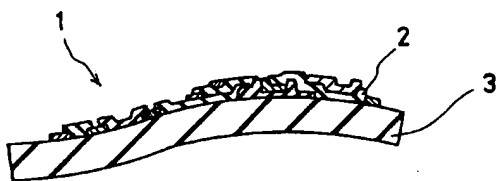
代理人 弁理士 筒井大和

- 1 3 -

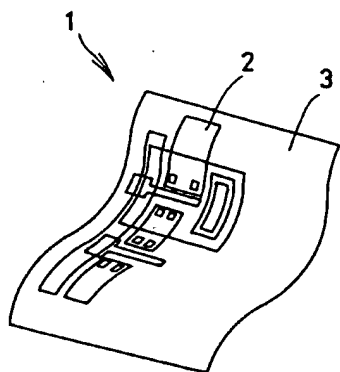
- 478 -

- 1 4 -

第 1 図

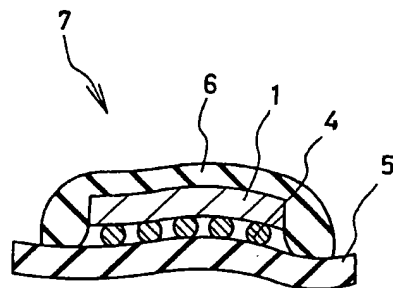


第 2 図



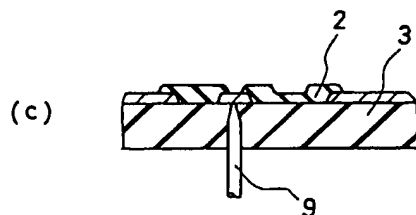
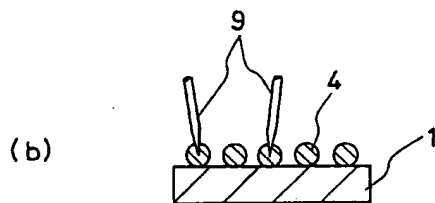
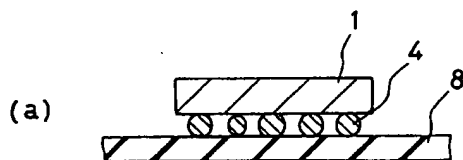
1 : 半導体チップ  
2 : 集積回路  
3 : 基板

第 3 図



4 : パンプ電極 (電極)  
5 : 配線基板  
6 : 封止材  
7 : 半導体集積回路装置

第 4 図



PAT-NO: JP404091475A  
DOCUMENT-IDENTIFIER: JP 04091475 A  
TITLE: SEMICONDUCTOR CHIP AND SEMICONDUCTOR  
INTEGRATED CIRCUIT  
DEVICE USING SAME  
PUBN-DATE: March 24, 1992

INVENTOR-INFORMATION:  
NAME  
TSUJI, SOSUKE

ASSIGNEE-INFORMATION:	
NAME	COUNTRY
HITACHI LTD	N/A
HITACHI VLSI ENG CORP	N/A

APPL-NO: JP02204819  
APPL-DATE: August 1, 1990

INT-CL (IPC): H01L029/28  
US-CL-CURRENT: 257/668, 257/702

ABSTRACT:

PURPOSE: To provide flexibility to a semiconductor chip to alleviate restriction handling and mounting by forming a substrate with an organic semiconductor material having flexibility.

CONSTITUTION: A semiconductor chip 1 is structured by an integrated circuit 2 formed on an organic semiconductor and a substrate 3 on which this integrated circuit 2 is mounted. The integrated circuit 2 integrates at least two or more

of active elements or passive elements and is formed as the circuit wiring these circuit elements with each other. The substrate 3 is formed by an organic material such as resin having flexibility. As the electrode connection of the semiconductor chip 1, the electrode is bonded to a wiring substrate 5 through a bump electrode (electrode) 4. Thereby a semiconductor integrated circuit device 7 of the simplified package using a sealing material 6 such as water glass or cement milk having flexibility under the solid condition may be formed. The substrate 3 is formed as a film or sheet to give further flexibility to the semiconductor chip 1.

COPYRIGHT: (C)1992,JPO&Japio